

**DATA MEMORY AND ITS OPERATING METHOD****Publication number:** JP8185355**Publication date:** 1996-07-16**Inventor:** UIRIAMU HENRI OORUDOFUIRUDO**Applicant:** ADVANCED RISC MACH LTD**Classification:****- international:** G06F12/00; G06F12/08; G06F12/00; G06F12/08;  
(IPC1-7): G06F12/08; G06F12/08**- European:** G06F12/08B8; G06F12/08B22L**Application number:** JP19950251463 19950928**Priority number(s):** GB19940019746 19940930**Also published as:**

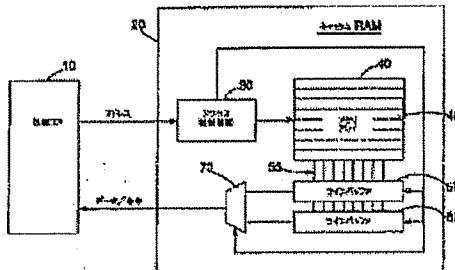
US5627988 (A1)

GB2293668 (A)

[Report a data error here](#)**Abstract of JP8185355**

**PROBLEM TO BE SOLVED:** To provide a data memory for reducing power consumption and access time and to provide its operating method.

**SOLUTION:** This data memory 20 provided with the array 40 of memory cells capable of address specification accessible as a prescribed memory cell group is provided with output buffer means 50 and 60 for storing the contents of at least the most lately read memory cell group and the other previously read memory cell, group and a read means 30 for reading the contents of the memory cell group provided with a required memory cell into the output buffer means 50 and 60 in response to the display of a fact that the contents of the memory cell group provided with the required memory cell are not stored inside the output buffer means 50 and 60. At least, the contents of the required memory cell are supplied from the output buffer means 50 and 60 as output.



---

Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-185355

(43)公開日 平成8年(1996)7月16日

(51) Int.Cl.<sup>6</sup>

G 06 F 12/08

識別記号 庁内整理番号

C 7623-5B

F I

技術表示箇所

310 Z 7623-5B

審査請求 未請求 請求項の数17 OL (全11頁)

(21)出願番号 特願平7-251463

(22)出願日 平成7年(1995)9月28日

(31)優先権主張番号 9419746 4

(32)優先日 1994年9月30日

(33)優先権主張国 イギリス(GB)

(71)出願人 594154428

アドバンスド リスク マシーンズ リミテッド  
イギリス国シーピー1 4ジェイエヌ ケンブリッジ, チェリー ヒントン, フルバーン ロード(番地なし)

(72)発明者 ウィリアム ヘンリー オールドフィールド

イギリス国ケンブリッジシャー, エリー, メバル, サットン ロード 2エイ

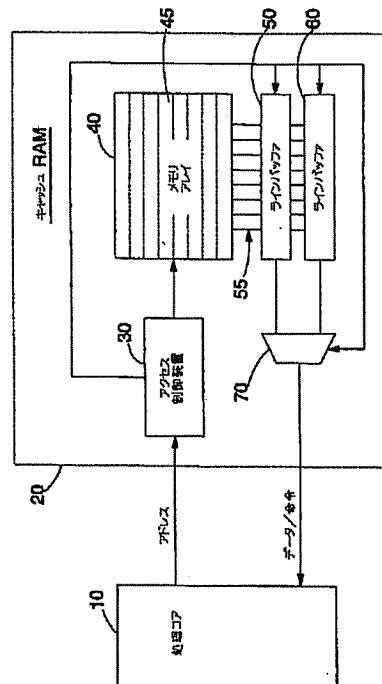
(74)代理人 弁理士 浅村 翔(外3名)

(54)【発明の名称】 データメモリおよびその動作方法

(57)【要約】

【課題】 電力消費およびアクセス時間を減少させたデータメモリおよびその動作方法を開示する。

【解決手段】 所定のメモリセルグループとしてアクセスできるアドレス指定が可能なメモリセルのアレイ40を有するデータメモリ20は、少なくとも最も最近に読み出されたメモリセルグループと、もう1つの前に読み出されたメモリセルグループとの内容をストアするための出力バッファ手段50、60と、必要なメモリセルを含む前記メモリセルグループの前記内容が、前記出力バッファ手段50、60内にストアされていない旨の表示に応答して、前記必要なメモリセルを含む前記メモリセルグループの前記内容を前記出力バッファ手段50、60内へ読み出す手段30とを含み、少なくとも前記必要なメモリセルの前記内容は前記出力バッファ手段50、60から出力として供給される。



1

## 【特許請求の範囲】

【請求項1】 所定のメモリセルグループとしてアクセス可能なアドレス指定が可能なメモリセルのアレイと、少なくとも最も最近に読み出されたメモリセルグループと、もう1つ前に読み出されたメモリセルグループと、の内容をストアするための出力バッファ手段と、必要なメモリセルを含む前記メモリセルグループの前記内容が、前記出力バッファ内にストアされているか否かの表示に応答して、前記必要なメモリセルを含む前記メモリセルグループの前記内容を前記出力バッファ手段内へ読み出す読み出手段とを含み少なくとも前記必要なメモリセルの前記内容が、前記出力バッファ手段から出力として供給されるデータメモリ。

【請求項2】 前記出力バッファ手段が、少なくとも2つの出力ラッチであってそれぞれの出力ラッチが1メモリセルグループの前記内容をストアする、該少なくとも2つの出力ラッチを含む請求項1記載のデータメモリ。

【請求項3】 少なくとも1つの前記出力ラッチが能動ラッチである請求項2記載のデータメモリ。

【請求項4】 少なくとも1つの前記出力ラッチが容量性ラッチである請求項2記載のデータメモリ。

【請求項5】 前記容量性ラッチ、または前記容量性ラッチの1つが、前記メモリセルのアレイに接続されたビットラインのキャパシタンスにより実質的に形成される請求項4記載のデータメモリ。

【請求項6】 前記読み出手段が、前記必要なメモリセルを含む前記メモリセルグループの前記内容を、最も古く書込まれた前記出力ラッチ内に読み出すべく動作可能な請求項2記載のデータメモリ。

【請求項7】 前記データメモリが少なくとも2つのカテゴリのデータをストアし、それぞれのカテゴリからのデータが前記出力ラッチのそれぞれの1つにストアされる請求項2記載のデータメモリ。

【請求項8】 前記データメモリが2つのカテゴリのデータ、すなわち、命令語と、

非命令語とをストアする請求項7記載のデータメモリ。

【請求項9】 前記出力バッファ手段内にストアされている前記メモリセルグループのアドレスを表示するアドレスデータをストアする手段と、

必要なメモリセルの前記アドレスおよび前記アドレスデータに応答して、該必要なメモリセルを含む前記メモリセルグループの前記内容が前記出力バッファ手段内にストアされているか否かを決定する検出手段とを含み、該検出手段が、前記必要なメモリセルを含む前記メモリセルグループの前記内容が前記出力バッファ手段内にストアされているか否かの前記表示を発生し且つ前記読み出手段へ供給する請求項1記載のデータメモリ。

【請求項10】 前記読み出手段が、前記データメモリにアクセスする装置からの、現在の必要なメモリセルが前

10

2

の必要なメモリセルの隣接アドレスを有するか否かについての表示に応答する請求項1記載のデータメモリ。

【請求項11】 現在の必要なメモリセルのアドレスが、該必要なメモリセルを含む前記メモリセルグループ内の最後のアドレスであるか否かを検出する手段を、前記読み出手段が含む請求項10記載のデータメモリ。

【請求項12】 前記データメモリがキャッシュメモリである、請求項1記載のデータメモリ。

【請求項13】 中央処理装置と、

請求項1記載のデータメモリと、を含むデータ処理装置。

【請求項14】 中央処理装置と、  
請求項11記載のデータメモリと、を含む、データ処理装置。

【請求項15】 現在の必要なメモリセルが、前の必要なメモリセルの隣接アドレスを有することを表示する動作を、該前の必要なメモリセルの該アドレスが、メモリセルグループ内の前記最後のアドレスを有することを検出されなかった時にのみ前記中央処理装置が行うことができる、請求項14記載のデータ処理装置。

【請求項16】 所定のメモリセルグループとしてアクセス可能な、アドレス指定が可能なメモリセルのアレイを有するデータメモリの動作方法であって、該方法が、少なくとも最も最近に読み出されたメモリセルグループと、もう1つの前に読み出されたメモリセルグループと、の内容を出力バッファ手段内にストアするステップと、必要なメモリセルを含む前記メモリセルグループの前記内容が、前記出力バッファ内にストアされているか否かの表示に応答して、前記必要なメモリセルを含む前記メモリセルグループの前記内容を前記出力バッファ手段内へ読み出すステップと、を含み、少なくとも前記必要なメモリセルの前記内容が、前記出力バッファ手段から出力として供給されるデータメモリの動作方法。

【請求項17】 請求項1記載のデータメモリのアレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、データメモリへのアクセスに関する。

【0002】

【従来の技術】 データ処理システムにおける中央処理装置(CPU)のパフォーマンスを改善するために、キャッシュメモリを用いることは公知である。キャッシュメモリは、比較的小さい、高速度のランダムアクセスメモリ(RAM)であり、CPUにより頻繁に要求されるデータをストアするために用いられる。通常は、キャッシュRAMは、(例えば、外部メモリ管理ユニット(MMU)を経ずに) CPUにより直接アクセスされ、CPUとキャッシュメモリとの間の信号伝搬時間を短縮するた

40

50

めに、CPUに物理的に接近して配置される。これらの特徴は、データが極めて速く、キャッシュRAMにストアされ、またそれから検索できることを意味する。

【0003】キャッシュRAMは、通常は、いくつかのキャッシュ「ライン」として組織され、それぞれのラインは、例えば、8つのデータワードをストアできる。キャッシュRAMがアクセスされる時は、データライン全体が読出され、出力ビットライン上に配置される。もし次のキャッシュRAMアクセスが、同じキャッシュラインからのデータワードを要求しても、その時そのラインを再読出しする必要はない。そのワードは、出力ビットラインから簡単に読出しができる。

【0004】キャッシュラインを出力ビットライン上に読出す動作は、キャッシュRAMの全電力要求のかなりの割合を消費する。これは、読出し動作が、高度に容量性であるビットライン自体をチャージ（充電）する前の、データを読出すためのセンスアンプのプリチャージを含むからである。

【0005】1つの公知のタイプのキャッシュRAMアーキテクチャにおいては、データワードおよびプロセッサ命令語の双方をストアするために単一のキャッシュRAMが用いられる。これは、1キャッシュラインからロードされた命令の実行が、プロセッサをして、異なるキャッシュラインからデータをロード、または異なるキャッシュラインにデータをストアする場合に、特に高電力消費を招く。この状況においては、プロセッサは最初、キャッシュRAMからの命令を、その命令をストアするキャッシュラインをして、ビットライン上へ読出されることによりロードする。該命令が実行される時、プロセッサはもう1つのキャッシュラインを読出すか、またはもう1つのキャッシュラインに書込む。これは、前記命令を含むキャッシュラインが、ビットラインから廃棄され、新しいキャッシュラインがビットライン上へ読取られることを意味する。（プロセッサがキャッシュRAMに書込む場合には、ビットラインが該書込みプロセスにおいて用いられるので、現在該ビットライン上に保持されている値もやはり廃棄されなければならない）。ロードまたはストア動作が完了した後は、ビットライン上に保持されていた新しい値は、再び廃棄されなくてはならず、また原キャッシュラインは再読出しされ、プロセッサは後の必要な命令にアクセスしうるようになる。

【0006】これらの多重命令データー命令アクセスは、電力消費と、キャッシュRAMのアクセス時間とをかなり増大させる可能性がある。電力消費の増加は、全キャッシュの電力消費の10%から30%の間であると推定され、これは、すでにシステムの電力の比較的高い割合を使用するキャッシュRAMの主要な問題である。また、上述のように、アクセス時間の増大は、主要な要求が高速度動作であるキャッシュRAMにおいては、特に不利となる。

## 【0007】

【発明が解決しようとする課題】本発明の目的は、データメモリ、特にキャッシュメモリ、の電力消費およびアクセス時間を減少させることである。この目的は、携帯用の、電池電源式装置に用いるためのデータメモリに特に関連する。

## 【0008】

【課題を解決するための手段】本発明が提供するデータメモリは、所定のメモリセルグループとしてアクセスできる、アドレス指定が可能なメモリセルのアレイと、少なくとも最も最近に読出されたメモリセルグループと、もう1つの前に読出されたメモリセルグループと、の内容をストアするための出力バッファ手段と、必要なメモリセルを含む前記メモリセルグループの前記内容が、前記出力バッファ内にストアされているか否かの表示に応答して、前記必要なメモリセルを含む前記メモリセルグループの前記内容を前記出力バッファ手段内へ読出す読出し手段と、を含み少なくとも前記必要なメモリセルの前記内容が、前記出力バッファ手段から出力として供給される。

【0009】本発明によるデータメモリにおいては、メモリセルのグループ（例えばキャッシュライン）が読出され、少なくとも1つの他の前に読出されたグループと共に出力バッファ内にストアされる。これは、上述の問題を軽減することができ、その場合、1キャッシュラインからロードされたプロセッサ命令の実行は、該プロセッサをして、異なるキャッシュラインからデータをロード、または異なるキャッシュラインへデータをストアさせた後に、原キャッシュラインへ復帰させて、後の必要な命令を読出す。これは、（上述の、前に提案されたメモリにおけるように）原キャッシュラインが廃棄されず、出力バッファ手段内に保持されるからである。上述のように、これは、キャッシュラインの読出し動作の回数を、命令データー命令系列のアクセスの場合において、例えば、3回のアクセスから2回のアクセスへ減少させることにより、例えば、キャッシュRAMの電力消費を、劇的に改善できる。

【0010】好ましくは、出力バッファ手段は、少なくとも2つの出力ラッチを含み、それぞれの出力ラッチは1メモリセルグループの内容をストアする。実施例においては、該出力ラッチの少なくとも1つは、トランジスタまたは半導体ラッチのような能動ラッチである。しかし、代替例としては、該出力ラッチの少なくとも1つは、容量性またはダイナミックラッチであってもよい。このタイプのラッチは、実質的に、メモリセルのアレイに接続されたビットラインのキャパシタンスによって形成できる。

【0011】出力バッファ手段がいくつかのラッチによって形成され、そのそれぞれが1メモリセルグループをストアする時、前にラッチされたデータに制御された方

法でオーバライトすると有利である。これを行う1つの方法は、読み出し手段が、必要なメモリセルを含むメモリセルグループの内容を、最も古く書込まれた出力ラッチ内に読出す動作ができる実施例において用いられる。

【0012】データメモリが少なくとも2つのカテゴリのデータをストアする、別の実施例においては、それぞれのカテゴリからのデータは、出力ラッチのそれぞれの（専用の）1つの中にストアできる。好ましくは、この構成は、2つのカテゴリのデータ、すなわち、命令語と、非命令語と、をストアするデータメモリに対して用いられる。

【0013】データメモリは、新しいメモリセルグループが出力バッファ内へ読出されるべきか否かの表示が外部装置により供給されるように、外部装置から制御できるが、1実施例においては、この表示は、データメモリ自体内において、前記出力バッファ手段内にストアされている前記メモリセルグループのアドレスを表示するアドレスデータをストアする手段と、必要なメモリセルの前記アドレスおよびストアされているアドレスデータに応答して、該必要なメモリセルを含む前記メモリセルグループの前記内容が前記出力バッファ手段内にストアされているか否かを検出す手段とを用いることにより得られ、該検出手段は、前記必要なメモリセルを含む前記メモリセルグループの前記内容が前記出力バッファ手段内にストアされているか否かの前記表示を発生し且つ前記読出し手段へ供給する。

【0014】実施例においては、前記検出手段は、前記データメモリにアクセスする装置からの、現在の必要なメモリセルが前の必要なメモリセルの隣接アドレスを有するか否かについての表示に応答する。これは、前記現在の必要なメモリセルの内容が、前記出力バッファ内において見出すことができるることを、少なくとも部分的に示す。

【0015】好ましくは、前記読出し手段は、前記データメモリにアクセスする装置からの、現在の必要なメモリセルが前の必要なメモリセルの隣接アドレスを有するか否かについての表示に応答する。この場合、前記検出手段は、（ある実施例において）順次アクセスが前記出力バッファ手段内に保持されているキャッシュラインの終端部をオーバランしたか否かをチェックするほかには、現在必要なワードが該バッファ手段内に保持されているか否かをチェックする必要はない可能性がある。

【0016】好ましくは、前記読出し装置は、現在の必要なメモリセルのアドレスが、該必要なメモリセルを含む前記メモリセルグループ内の最後のアドレスであるか否かを検出手段を含む。前記データメモリは、好ましくはキャッシュメモリである。本発明は、中央処理装置と、以上において定められたデータメモリとを含むデータ処理装置において特に有効に用いられる。

【0017】好ましくは、中央処理装置は、現在の必要

なメモリセルが、前の必要なメモリセルの隣接アドレスを有すること、を表示する動作を、該前の必要なメモリセルの該アドレスが、メモリセルグループ内の前記最後のアドレスを有することを検出されなかった時にのみ、行いうる。中央処理装置は、この検出を自身で行う、または上述の読み出し手段による検出を信頼することができる。いずれの場合においても、次のアクセスが非順次的に行われる事実は、前記読み出し装置を自動的にトリガして、新しいキャッシュラインを前記出力バッファ手段内へ読出すために用いることができる。

【0018】本発明は、第2特徴から見ると、所定のメモリセルグループとしてアクセスできるアドレス指定が可能なメモリセルのアレイを有するデータメモリの動作方法を提供し、該方法は、少なくとも最も最近に読出されたメモリセルグループと、もう1つの前に読出されたメモリセルグループと、の内容を出力バッファ手段内にストアするステップと、必要なメモリセルを含む前記メモリセルグループの前記内容が、前記出力バッファ内にストアされているか否かの表示に応答して、前記必要なメモリセルを含む前記メモリセルグループの前記内容を前記出力バッファ手段内へ読出すステップとを含み、少なくとも前記必要なメモリセルの前記内容は、前記出力バッファ手段から出力として供給される。

【発明の実施の形態】本発明の、上述の、およびその他の、諸目的および諸利点は、添付図面を参照しつつ読まるべき実施例に関して以下の詳細な説明において明らかにされる。

【実施例】図1は、キャッシュランダムアクセスメモリ（RAM）20に接続された処理コア10を含むデータ処理装置の概略図である。キャッシュRAM20は、アクセス制御装置30と、トランジスタメモリセルのアレイを含むメモリアレイ40と、2つのラインパッファ50、60と、マルチプレクサ70とを含む。

【0021】処理コア10およびキャッシュRAM20は、共通集積回路のそれぞれの部分として製造できる。メモリアレイ40は、いくつかのキャッシュライン45を含み、そのそれは、256メモリセルから形成される。従って、キャッシュラインは、それが32ビット（4バイト）のデータを含む8つのデータワードをストアする。

【0022】この図および図2から図4までにおいては、キャッシュRAMからデータを読取る機構が主として示されている。他の点では、ビットラインを経てのキャッシュRAMへのデータの書き込みのための機構は通常のものである。

【0023】以下に詳述されるアクセス制御装置30の制御のもと、キャッシュライン45の1つがアクセスのために選択可能であり、そのキャッシュライン内に保持

されているデータは(通常のセンスアンプを経て)ビットライン55上へ出力される。ビットライン55は、ラインバッファ50およびラインバッファ60へ並列に供給される。

【0024】キャッシュRAM20は、プロセッサ命令および処理されるべきデータの双方をストアするために用いられる。一般に、処理コア10は、キャッシュRAM20の1部分にストアされている1つまたはそれ以上の命令語へのアクセスを要求し、続いて、キャッシュRAM20の異なる部分にストアされているさまざまなデータワードへのアクセスが行われる。データワードがアクセスされた後には、処理コア10は、前にアクセスされた命令語に隣接してストアされている、さらなる命令語へのアクセスへ復帰する。

【0025】従って、通常の動作においては、処理コア10は、メモリアレイ40の2つの異なる部分、すなわちデータワードをストアする部分と、命令語をストアする部分とに対し交互のアクセスを要求する。(前述された、前に提案されたキャッシュメモリにおけるように)処理コア10がキャッシュRAM20の新しい部分へのアクセスを要求する毎に、もし全キャッシュラインがアクセスされなくてはならないとすれば、これは、全キャッシュライン45が、交互の命令データー命令のアクセスのために、繰り返して読み出されなくてはならないことを意味する。これは、キャッシュRAM20の平均電力消費(および恐らくは平均アクセス時間をも)増大させる。

【0026】この問題を軽減するために、本実施例は、アクセス制御装置30の制御のもとに動作する2つのラインバッファ50、60を用いる。次に、この構成を詳細に説明する。

【0027】本実施例においては、キャッシュライン45がアクセスされた時、そのキャッシュラインの内容は、ラインバッファ50、60の一方にストアされる。そのバッファは、アクセス制御装置30の制御下にあり、「現」バッファと呼ばれる。該現ラインバッファの内容は、マルチプレクサ70(これもアクセス制御装置30の制御下にある)を経て、処理コア10の入力へ送られる。メモリアレイ40から読み出される次のキャッシュライン45は、ラインバッファ50、60の他方の1つの中にストアされ、そのバッファは次に、新しい現バッファになる。これは、前に読み出されたキャッシュラインの内容が廃棄されずに、非現ラインバッファ内にストアされることを意味する。

【0028】アクセス制御装置30は、ラインバッファ50、60のそれぞれの中にストアされている特定のキャッシュライン45のレコードを、いずれのラインバッファが現ラインバッファであるかの表示と共に保持する。処理コア10がキャッシュRAM20内にストアされているワードへのアクセスを要求する毎に、処理コア

10は、アクセス制御装置30へアドレスを送信する。次に、アクセス制御装置30は、そのワードを保持するキャッシュライン45が既に読み出され、かつてお現在ラインバッファ50、60の一方内にストアされているか否かを検出する。もし必要なキャッシュライン45が、ラインバッファ50、60の一方内にストアされていれば、そのバッファは次に現ラインバッファとなり、マルチプレクサ70がそのラインバッファの出力を選択し、必要なワードは、メモリアレイへのアクセスを再び必要とすることなく、処理コア10へ供給される。しかし、もしアクセス制御装置30が、必要なワードがラインバッファ50、60のいずれにもストアされていないことを検出すれば、アクセス制御装置30は、必要なキャッシュライン45がメモリアレイ40から読み出されるように、メモリアレイ40を制御する。そのキャッシュライン45内にストアされているデータは、ビットライン55上へ出力され、かつてアクセス制御装置30の制御のもとに、非現ラインバッファ内にストアされる(該非現ラインバッファは次に、出力のための現ラインバッファとなる)。

【0029】図1に示されている実施例においては、ラインバッファ50、60のそれぞれは、命令語またはデータワードのいずれかをストアできる。実際には、ラインバッファ50、60の一方は、命令語をストアする傾向があり、他方は、データワードをストアする傾向があるが、その理由は、単にこれら2つのタイプのワード間で一般に交互するアクセスが要求されるからである。

【0030】図2は、第2実施例を示し、この実施例は命令語をストアするための専用ラインバッファと、データワードをストアするための第2専用ラインバッファとを有する。図2において、処理コア110は、アクセス制御装置130と、いくつかのキャッシュライン145から形成されたメモリアレイ140と、2つのラインバッファ150、160とを含むキャッシュRAM120と通信する。

【0031】処理コア110は、必要なデータまたは命令語のアドレスを発生し、それはアクセス制御装置130により、「非データ命令(instruction-not-data)」(I/D(バー))信号ラインと共に処理される。非データ命令信号ラインは、処理コアがキャッシュRAM120から命令を読み出しつつある時に、一方のラインバッファ(実際には、ラインバッファ150)が動作を可能化され、処理コア110がキャッシュRAM120からデータワードを読み出しつつある時に、他方のラインバッファ(ラインバッファ160)が動作を可能化されるように、相補的なそれぞれの形式でラインバッファ150、160へ供給される。

【0032】アクセス制御装置130は、もし現アクセスに対する必要なデータまたは命令語が、すでに適切なラインバッファ150、160内にストアされていれ

ば、そのワードが再びアクセスされずに単に適切なすなわち該当するラインバッファから読出されるように、キャッシュラインのアドレスのレコードを、ラインバッファ 150、160 のそれぞれの中に保持する。

【0033】図3は、第3実施例の概略図であり、この実施例においては、処理コア210は、アクセス制御装置230と、キャッシュライン245を有するメモリアレイ240と、ラインバッファ250、260とを含むキャッシュRAM220と通信する。

【0034】この場合も、ラインバッファ250、260は、命令語またはデータワードのいずれかに対する専用のものとなる。現在必要なワードの性質に依存して用いられるべきラインバッファは、「適切な」ラインバッファと呼ばれる。

【0035】アクセス制御装置230の動作は、処理コア210からの「順次」フラグの使用により、図2のアクセス制御装置130に比し簡単化される。順次フラグは、アクセス制御装置230へ供給され、処理コア210が要求する現キャッシュアクセスが、直前のキャッシュアクセスに対して順次的であることを表示する。順次アクセスの例は、処理コア210が第1命令にアクセスし、その命令を処理またはパイプラインし終わると、キャッシュRAM220内の隣接メモリアドレスにストアされている、直後に続く命令にアクセスするものである。

【0036】図3の装置は、いくつかの異なる動作モードで動作させることができる。以下、これらを順次説明\*

\*する。異なる諸モードは、処理コアおよび／またはアクセス制御装置のために用いられるハードウェアまたはオペレーティングソフトウェアに反映させることができ。一般に、これらの差は、図3の概略的性質からは明らかではないが、以下の説明において明らかにされる。

#### 【0037】第1動作モード

キャッシュアクセスが順次的である時は、それは一般に、前のキャッシュアクセスと同じキャッシュラインへのアクセスを要求する。しかし、上述のように、そのキャッシュラインは、(命令に対する) ラインバッファ250、または(データワードに対する) ラインバッファ260内にストアされているはずである。従って、必要なワードは、処理コア210からの非データ命令制御フラグによって選択された適切なラインバッファ250、260から読出すことができる。

【0038】しかし、現在必要な順次アクセスされたワードが、適切なラインバッファ内に現在保持されているキャッシュラインの端部を実際にオーバランしているか否かを検出することが必要である。もしオーバランしていれば、そのラインバッファの内容は、次のキャッシュラインを該バッファ内へ読出すことによりリフレッシュされなければならない。従って、この動作モードにおけるアクセス制御装置230の主な役割は、以下のようになる。

#### 【0039】

##### 【表1】

順次アクセス (順次フラグがセットされる)	非順次アクセス (順次フラグがセットされない)
アクセス制御装置230は、必要なワードが、適切なラインバッファ250、260内にストアされているキャッシュラインの一部ではなく、別のキャッシュラインの最初にあるか否かを検出する。もしあれば、そのワードを含む該ラインは、適切なラインバッファ内へ読出される。いずれの場合においても、必要なワードは、次に該適切なラインバッファから出力される。	アクセス制御装置230は、現在必要なワードが適切なラインバッファ250、260内にストアされているか否かを検出する。もし否であれば、そのアドレスを含むラインは、適切なラインバッファ内へ読出され、そのラインバッファから前記ワードが出力される。

【0040】現在必要なワードが、現在バッファされたキャッシュラインの端部をオーバランしたか否かの検出は、必要なアドレスの最低次ビットが、キャッシュラインの最初に対応するか否かを検出することによって行うことができる。

#### 【0041】第2動作モード

代替例としては、アクセス制御装置は、順次アクセスにおいては第1動作モードにおけるように動作するが、非

順次アクセスにおいては常に、新しいキャッシュラインを適切なラインバッファ内へ読出す。これは、アクセス制御装置が行わなければならない唯一のアドレス比較によって、現在必要とされているワードが、バッファされたキャッシュラインの端部をオーバランしているか否かをチェックすることであることを意味する。これらの動作は以下のように要約される。

#### 【0042】

【表2】

順次アクセス (順次フラグがセットされる)	非順次アクセス (順次フラグがセットされない)
アクセス制御装置230は、必要なワードが、適切なラインバッファ250、260内にストアされているキャッシュラインの一部ではなく、別のキャッシュラインの最初にあるか否かを検出する。もしあれば、そのワードを含む該ラインは、適切なラインバッファ内へ読出される。いずれの場合においても、必要なワードは、次に該適切なラインバッファから出力される。	アクセス制御装置230は常に、必要なワードを含むキャッシュラインを適切なラインバッファ内へ読出す。該ワードは次に、そのラインバッファから出力される。

## 【0043】第3動作モード

第3動作モードにおいては、アクセス制御装置は、現在必要なワードが、現在バッファされたキャッシュラインの端部にあるか否かを検出する。もしある場合は、アクセス制御装置は、処理コア210へ送られる「ライン端部」フラグをセットする。ライン端部フラグがセットされた時は、処理コアによる次のキャッシュアクセスは、\*

\*常に非順次アクセスであるように強制される。非順次アクセスが処理コアによって行われる時、アクセス制御装置は応答して、常に、完全なキャッシュラインを適切なラインバッファ内に読出する。これらの動作は、以下のように要約される。

## 【0044】

## 【表3】

順次アクセス (順次フラグがセットされる)	非順次アクセス (順次フラグがセットされない)
アクセス制御装置230は、必要なワードが、現在のバッファされたキャッシュラインの端部にあるか否かを検出し、もしある場合は、ライン端部フラグをセットする。該必要なワードは、適切なラインバッファから出力される。	アクセス制御装置230は常に、必要なワードを含むキャッシュラインを適切なラインバッファ内へ読出する。該ワードは次に、そのラインバッファから出力される。

【0045】この動作モードにおいては、処理コアおよびキャッシュRAMは、協働してアクセス制御装置の処理要求を減少させる。アクセス制御装置が、入来する(必要な)アドレスを、ストアされているアドレスと比較する必要はもうない。アクセス制御装置が行わなくてはならないのは、最後の(この場合は、8番目の)ワードが、ラインバッファの1つから読出されつつある時、フラグをセットすることのみである。処理コアは次に、(順次フラグをセットしないことにより)自動的に次のキャッシュアクセスを非順次アクセスにする。アクセス制御装置は、非順次アクセスを、キャッシュラインが適切なラインバッファ250、260内へ読出されること

を常に要求するものとして解釈する。

## 【0046】第4動作モード

もう1つの動作モードにおいては、処理コア自体が、それぞれのキャッシュラインから読出されたワード数の、40 またはキャッシュライン内の現在必要なワードの位置の、レコードを保持する。処理コアは次に、アクセス制御装置からのライン端部フラグを必要とすることなく、非順次アクセスでそれぞれのキャッシュラインへの最初のアクセスを自動的に行う。この場合は、アクセス制御装置の動作は以下のようにさらに簡略化される。

## 【0047】

## 【表4】

順次アクセス (順次フラグがセットされる)	非順次アクセス (順次フラグがセットされない)
必要なワードは、適切なラインバッファ 250、260 から出力される。	アクセス制御装置 330 は常に、必要なワードを含むキャッシュラインを適切なラインバッファ内へ読出す。該ワードは次に、そのラインバッファから出力される。

**【0048】第5および第6動作モード**

さらなる可能な動作モードにおいては、アクセス制御装置は、順次アクセスにおける第3または第4モードにおけるように動作できるが、非順次アクセスにおいては、

(第1モードにおけるように) アドレス比較を行うことができる。

【0049】最後に、図4は、第4実施例の概略図であり、この実施例においては、中央処理装置(CPU)300は、処理コア310と、プリフェッチャユニット312と、マルチプレクサ314と、キャッシュRAM320と通信するバスドライバ316とを含み、キャッシュRAM320は、アクセス制御装置330と、キャッシュライン345とを有するメモリ340と、ラインバッファ350、360と、バスドライバ370とを含む。

【0050】マルチプレクサ314は、(ドライバ316および単方向バス380を経て) キャッシュRAM320へ伝送されるべき、以下のなかから選択された情報を供給する。キャッシュRAM(RA/WA)内の必要なワードのアドレスを示す読出しアドレスまたは書き込みアドレス、キャッシュRAM(WD)へ書き込まれるべきデータ、および前記キャッシュRAM内に保持されている命令のアドレスを示すプログラムカウンタ(PC)。

【0051】マルチプレクサ314は、アドレスフラグ(AF)および命令フラグ(IF)の制御のもとに、単方向バス380を経て伝送されるべき以上のアイテムの1つを選択する。アドレスフラグは、処理コア310により発生され、該コアが、キャッシュRAM320への非順次的読出しほと書き込みアクセスを要求しており、かつ単方向バス380上にアドレスを配置しつつあることを表示し、命令フラグは、プリフェッチャユニット312により発生され、該プリフェッチャユニットがキャッシュRAM320内の命令語へのアクセスを要求していることを表示する。単方向バス380上へ伝送されるアイテムは、アドレスフラグおよび(データワードの読出しおよび書き込み動作をそれぞれ表示する読出しフラグおよび書き込みフラグを含む)他のフラグと共に、アクセス制御装置330へ供給される。アクセス制御装置330および処理コア310は、図3に関連して上述されたアクセス制御装置のいずれとも同様に動作し、順次または非順次アクセスおよび命令の表示としてアドレスフラグ、

上述の非データ命令フラグの代わりに読出しおよび書き込みフラグを用いる。もしさまざまな動作モードの特定の1つにおいて適切ならば、アクセス制御装置はライン端部フラグを処理コアへ供給し返す。

【0052】アクセス制御装置330の制御のもとに、必要なデータまたは命令語は、メモリアレイ340から読出されるか、または、ラインバッファ350、360の適切な1つからバスドライバ370へ直接出力される。そのデータまたは命令語は次に、第2单方向バス390を経てCPU300へ伝送される。CPU300においては、单方向バス390上へ伝送されたアイテムは、(もしそれが命令であれば) プリフェッチャユニット312へ、または(もしそれがデータワードであれば) 処理コア310の読出しデータ(RD)入力へ送られる。

【0053】図4に示されている单方向バスを用いる利点は、(それぞれのバスドライバを停止させることにより) 1方向へのバス伝送を中止して、関連する電力消費および遅延を有する他方向への伝送を(異なるバスドライバを初期化することにより) 再開する必要がないことである。

【0054】全ての上述の実施例において、ラインバッファ(50、60；150、160；250、260；350、360)はスタティックラッチ、(キャッシュまたは、2つのバッファの一方においては、ビットラインのキャッシュタンス、のような) ダイナミックラッチ、またはビットライン上の値を一時的に保持できる他の装置でもよい。もちろん、3つまたはそれ以上のラインバッファを使用することもでき、この構成は、図1から図4までに関連して上述された2つのカテゴリのワード(命令語およびデータワード)よりも多くをストアするキャッシュメモリに対して適切となろう。この場合には、ラインバッファの内容は、同じカテゴリのデータによって、または「最も古く用いられた」という根拠に基づいて、オーバライトされてもよい。

【0055】さらに別の実施例においては、上述の技術は、それが例えれば1キロバイトのデータをストアするブロックまたはセグメントのアレイから形成されたキャッシュメモリに適用できる。この場合には、それぞれのセグメントに対して少なくとも1つのラインバッファ

15

が備えられ、そのセグメントによって出力された前に読み出されたデータをストアする。これらのセグメントは、例えば、アソシアチブ $4 \times 4$ アレイによって配列され、該セグメントのそれぞれの行は、4重の連想（アソシアチブ）キャッシュを形成する。直接アドレス指定を用いて、正しい行が選択され、次にその行のセグメント内の正しいキャッシュラインが選択される。このようにして、キャッシュラインをセグメントに分割することにより、ピットラインのキャパシタンスは減少され、より高速度かつより低電力消費の動作が得られる。

【0056】ここでは、添付図面を参照しつつ、本発明の実施例を詳細に説明してきたが、本発明は、これらの精細な実施例に限定されるものではないこと、および添付の特許請求の範囲によって定められる本発明の範囲および精神から逸脱することなく、本当業者によりさまざまなる変更および改変を行えることを理解すべきである。

【図面の簡単な説明】

【図1】処理コアおよびキャッシュランダムアクセスメモリ（RAM）を含むデータ処理装置の概略図。

【図2】処理コアおよびキャッシュRAMを含むデータ処理装置の第2実施例の概略図。

【図3】処理コアおよびキャッシュRAMを含むデータ処理装置の第3実施例の概略図。

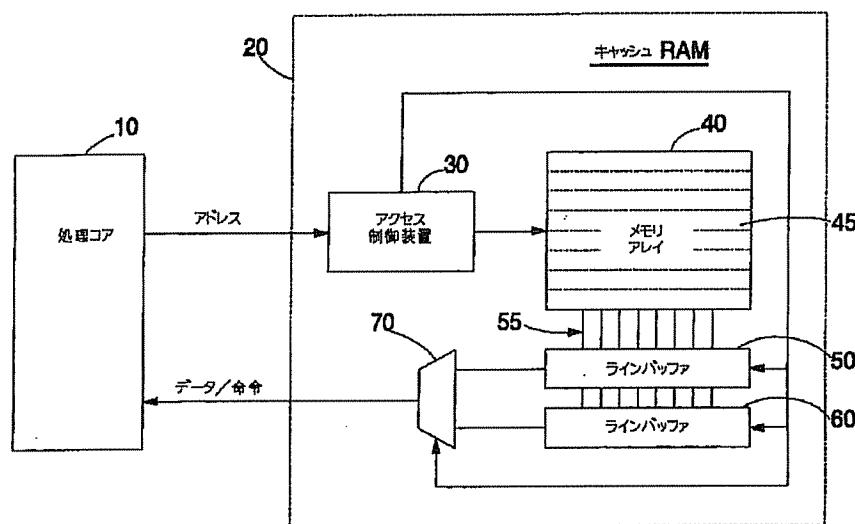
【図4】処理コアおよびキャッシュRAMを含むデータ処理装置の第4実施例の概略図。

【符号の説明】

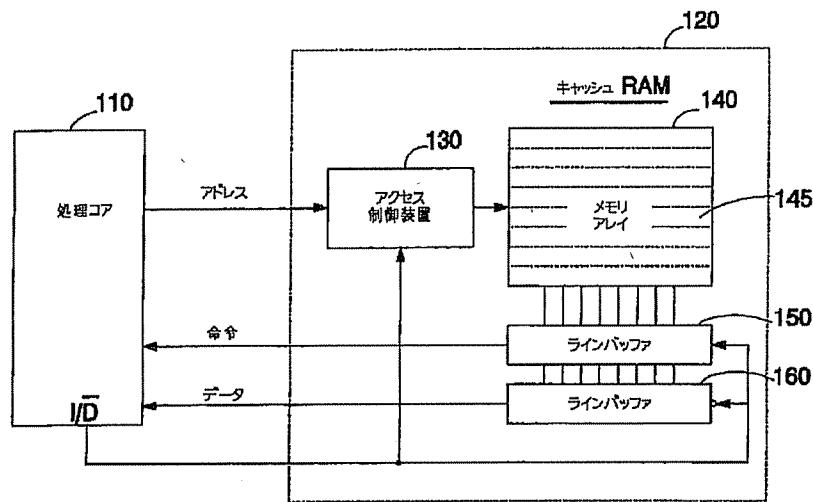
16

10	処理コア
20	キャッシュRAM
30	アクセス制御装置
40	メモリアレイ
50	ラインバッファ
60	ラインバッファ
110	処理コア
120	キャッシュRAM
130	アクセス制御装置
140	メモリアレイ
150	ラインバッファ
160	ラインバッファ
210	処理コア
220	キャッシュRAM
230	アクセス制御装置
240	メモリアレイ
250	ラインバッファ
260	ラインバッファ
300	中央処理装置
310	処理コア
320	キャッシュRAM
330	アクセス制御装置
340	メモリアレイ
350	ラインバッファ
360	ラインバッファ

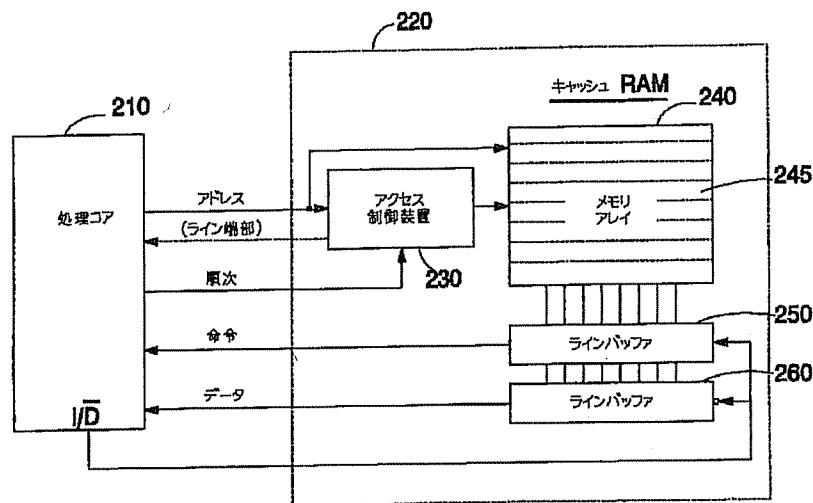
【図1】



【図2】



【図3】



【図4】

